

# T/CCIASC

中国计算机行业协会团体标准

T/CCIASC XXXX—XXXX

## 人工智能芯片 面向芯粒的卡间互联接口测试方法

Artificial intelligence chips - test method of inter-card interface for chiplets

XXXX - XX - XX 发布

XXXX - XX - XX 实施

# 目 次

前 言 .....	II
1 范围 .....	3
2 规范性引用文件 .....	3
3 术语和定义 .....	3
4 缩略语 .....	3
5 测试环境 .....	4
6 对应关系 .....	4
7 协议层测试 .....	5
8 链路层测试 .....	14
9 物理层测试 .....	18
10 性能测试 .....	20
参 考 文 献 .....	22

## 前 言

本文件按照GB/T 1.1-2020《标准化工作导则 第1部分 标准化文件的结构和起草规则》的规定起草。请注意本文件的某些内容可能涉及专利，本文件的发布机构不承担识别专利的责任。

本文件由中国计算机行业协会提出。

本文件由中国计算机行业协会归口。

本文件起草单位：新华三技术有限公司、中国信息通信研究院、中国电子技术标准化研究院、上海壁仞科技股份有限公司、沐曦集成电路（上海）股份有限公司、格通智联技术（上海）有限公司、格创通信（浙江）有限公司、上海天数智芯半导体股份有限公司、海光信息技术有限公司、太初（无锡）电子科技有限公司、北京曦望芯科智能科技有限公司、北京谦合益邦云信息技术有限公司、上海合见工业软件集团有限公司、芯耀辉科技股份有限公司、上海晟联科半导体有限公司、芯潮流（珠海）科技有限公司

本文件主要起草人：朱仕银、刘新民、万晓兰、贾琳琳、李峰、聂一、张乾、邸绍岩、王骏成、刘畅、尹航、雷恺、魏莉、曾敏、李军军、丁同浩、孙志峰、罗彬、赵畅、杨朋霖、郑卫华、付庆平、董剑、于彬、孔宁、司照凯、曹宜宁。

# 人工智能芯片 面向芯粒的卡间互联接口测试方法

## 1 范围

本文件规定了面向芯粒的卡间互联接口测试方法，包括协议层测试、链路层测试、物理层测试和性能测试。

本文件适用于加速器与通信芯粒互联的验证测试，加速器卡间互联互通测试等。

## 2 规范性引用文件

下列文件中的内容通过文中的规范性引用而构成本文件必不可少的条款。其中，注日期的引用文件，仅该日期对应的版本适用于本文件；不注日期的引用文件，其最新版本（包括所有的修改单）适用于本文件。

GB/T 9178 集成电路术语

GB/T 14113 半导体集成电路封装术语

UCIe UCIe规范v2.0 (Specification Revision 2.0 )

AXI 协议规范 ( AXI Protocol Specification )

AXI-Stream 协议规范 ( AXI-Stream Protocol Specification )

## 3 术语和定义

GB/T 9178、GB/T 14113和GB/T 46280.1界定的以及下列术语和定义适用于本文件。

### 3.1

#### 互联 interconnection

在芯粒间的物理连接的基础上,使用通信协议协调调度两端实现信息交互的连接线路。

[来源：GB/T 46280.1-2025 3.6]

## 4 缩略语

下列缩略语适用于本文件。

APB	Advanced Peripheral Bus	先进外设接口
AP	Advanced Package	先进封装
BER	Bit Error Rate	误码率
ECC	Error Checking and Correcting	错误侦测与纠正
EOB	End Of Burst	突发结束
EOP	End Of Packet	包结束
FDI	Flit-aware Data Interface	Flit感知数据接口
GPU	Graphics Processing Unit	图形处理单元
GPIO	General Purpose Input Output	通用输入输出
IGPH	Input from GPU Header	协议层从GPU接收报文头
MCM	Multi-Chip Module	多芯片组件
OGPH	Output to GPU Header	协议层向GPU输出报文头

PI	Power Integrity	电源完整性
RDI	Raw Data Interface	原始数据接口
SI	Signal Integrity	信号完整性
SOB	Start Of Burst	突发起始
SOP	Start Of Packet	包起始
SP	Standard Package	标准封装
UCIe	Universal Chiptlet Interconnect Express	通用芯粒接口
UMAC	Unpacking/Packing MAC layer	类MAC层打包/解包模块

## 5 测试环境

测试环境：硅前采用前仿验证，硅后采用机台测试。

测试拓扑如图1：将标准APB、AXI流转换成协议流，PHY将数据加工处理后传输到通信芯粒的PHY，解析还原成协议流传输给UMAC，UMAC将数据转换为通信芯粒私有报文协议，进行网络传输。

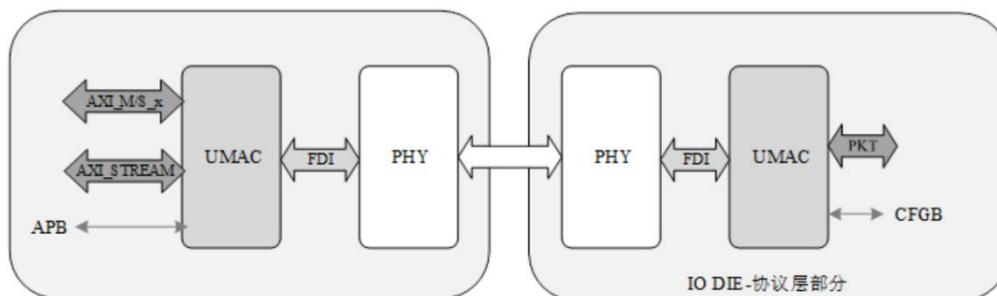


图 1 测试拓扑图

## 6 对应关系

本文件测试方法章节与接口技术要求各章节的对应关系见表1：

表 1 测试方法和接口技术要求对照表

接口测试方法	接口技术要求
7.2 AXI总线测试	7.1.1 AXI总线格式
7.2.1 报文读写测试	7.1.1.1 AXI总线接口 7.1.1.2 事务交互 7.1.1.3 通用报文封装格式
7.2.2 接口分通道测试	7.1.1.4 AXI AW+W 通道 7.1.1.5 AXI B 通道 7.1.1.6 AXI AR 通道 7.1.1.7 AXI R 通道
7.2.3 本端寄存器读写测试	7.1.3 事务层公共接口
7.2.4 分通道反压测试	7.1.1.8 流控接口
7.2.5 SHAPING模块测试	7.1.1.8 流控接口 7.1.4 数据传输
7.2.6 访问通信芯粒寄存器测试	7.1.5 跨die初始化

	7.1.6 通信芯粒事务层接口
7.3 AXI-Stream测试	7.1.2 AXI-Stream格式
7.3.1 报文读写测试	7.1.2.1 AXI-Stream模式 7.1.2.2 AXI-Stream数据交互 7.1.2.3 AXI-Stream接口
7.3.2本端寄存器读写测试	7.1.2.1 AXI-Stream模式 7.1.2.2 AXI-Stream数据交互 7.1.2.3 AXI-Stream接口
7.3.3分通道反压测试	7.1.2.4 分通道流控接口
7.3.4 SHAPING模块测试	7.1.2.2 AXI-Stream数据交互 7.1.2.3 AXI-Stream接口 7.1.2.4 分通道流控接口
7.3.5 环回测试	7.1.2.3 AXI-Stream接口 7.1.4 数据传输
7.3.6 访问通信芯粒寄存器测试	7.1.5 跨die初始化 7.1.6 通信芯粒事务层接口
8.2 Streaming协议测试	7.2.1 Flit格式
8.3 CRC Retry和Replay功能测试	7.2.2 CRC计算 7.2.3 重传机制
8.4 链路状态管理测试	7.2.4 链路状态管理
8.5 Parity Feature测试	7.2.2 CRC计算 7.2.3 重传机制 7.2.6 中断
8.6 边带寄存器访问测试	7.2.5 边带访问
8.7 数据速率测试	7.2.1 Flit格式
8.8 支持链路层环回测试	7.2.7 链路层回环
9.2 先进封装及标准封装测试	7.3 物理层
9.3 通道翻转测试	7.3 物理层
9.4 数据接口降级测试	7.3 物理层
9.5 Parity Feature测试	7.3 物理层
10.2 带宽测试	8.1 带宽
10.3 时延测试	8.2 时延
10.4 集合通信测试	8.1 带宽 8.2 时延 9.1 拓扑结构 9.2 组网规模

## 7 协议层测试

### 7.1 概述

本章节对T/XXX 《人工智能芯片 面向芯粒的卡间互联接口技术要求》第7.1章定义进行测试，包

括基于AXI 总线通用协议和AXI-Stream通用协议的两个互联芯粒协议层测试。

基于AXI通用协议互联的芯粒，不同业务模型的芯粒有对应的验证流程与方法，UMAC AXI通过标准总线，对跨芯粒应用数据进行访问与处理。

AXI总线通用协议互联的芯粒支持以下几种业务模型：

- 数据发送端，定义为AXI Master。AXI Master端对应AXI流，通过AXI接口传输数据，CPU/GPU主动对通信芯粒进行数据流传输。
- 数据接收端，定义为AXI Slave。AXI Slave端对应AXI流，通过AXI接口传输数据，CPU/GPU接收通信芯粒传输的数据流。
- 控制类业务端，定义为Control。Control端包含APB标准通路及分通道反压控制，对通信芯粒寄存器状态进行实时访问和分通道反压流控的延迟响应。

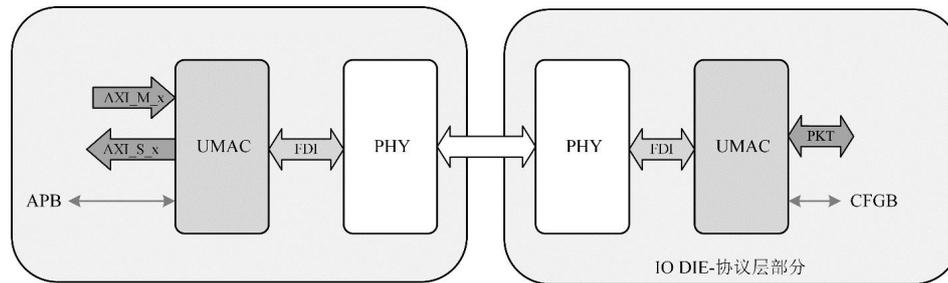


图2 协议层整体互联图

如图2所示，UMAC将标准APB、AXI流转换成协议流，PHY将数据加工处理后传输到通信芯粒的PHY，解析还原成协议流传输给UMAC，UMAC将数据转换为通信芯粒私有报文协议，进行网络传输。

AXI总线支持以下功能：

- 连接AXI接口，AXI接口分为封包AXI接口以连接数据发送方向和解包AXI接口以连接数据接收方向；
- 支持AXI的5个传输通道：AW+W、B、AR、R各通道的信息数据传输；
- 连接链路层FDI接口，连接物理层；
- 发送方向，从AXI接口获取数据，将其切分打包成为Flit格式传输到FDI接口上；
- 接收方向，从FDI接口获取数据，将其解包恢复成原数据从AXI端口发出；
- 支持报文、Flit输入输出计数统计；
- 支持AXI端口计数统计；
- 支持中断上报；
- 支持Flit环回；
- 支持跨芯粒透传分通道反压信号；
- 支持通信芯粒寄存器访问；
- 支持SHAPING，控制发送方向流量；

基于AXI-Stream通用协议互联的芯粒，不同业务模型的芯粒有对应的验证流程与方法，UMAC Stream通过标准总线，对跨芯粒应用数据进行访问与处理。

AXI-Stream通用协议互联的芯粒支持以下几种业务模型：

- 数据发送端，定义为Master。Master端对应AXI-Stream流，CPU/GPU主动对通信芯粒进行数据流传输。
- 数据接收端，定义为Slave。Slave端对应AXI-Stream流，CPU/GPU接收通信芯粒传输的数据流。
- 控制类业务端，定义为Control。Control端包含APB标准通路及分通道反压控制，对通信芯粒寄存器状态进行实时访问和分通道反压流控的延迟响应。

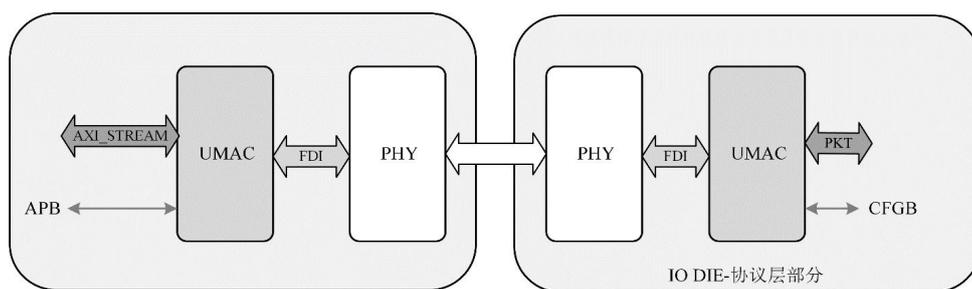


图3 协议层整体互联图

如图3所示，UMAC Stream将标准APB、AXI-Stream流转换成协议流，PHY将数据加工处理后传输到通信芯粒的PHY，解析还原成协议流传输给UMAC，UMAC将数据转换为通信芯粒私有报文协议，进行网络传输。

AXI-Stream支持以下功能：

- 连接AXI-Stream接口，每个AXI-Stream接口均为双向通信，提供标准以太接口；
- 连接链路层FDI接口，连接物理层；
- 发送方向，从AXI-Stream接口获取数据，将其切分打包成为Flit格式传输到FDI接口；
- 接收方向，从FDI接口获取数据，将其解包恢复成原数据从AXI-Stream端口发出；
- 支持报文、Flit输入输出计数统计；
- 支持中断上报；
- 支持Flit环回；
- 支持跨芯粒透传分通道反压信号；
- 支持通信芯粒寄存器访问；
- 支持流量整形，控制发送方向流量；

## 7.2 AXI 总线测试

### 7.2.1 报文读写测试

报文读写测试项见表2：

表2 报文读写测试项

测试项	测试描述	类型	对接模式
AXI报文写操作	a) GPU 芯粒通过AXI接口，发送长度56B~297B报文； b) AXI发送报文支持递增、递减、随机报文； c) 支持AXI接口反压； d) 支持报文传输过程中，存在无效IDLE； e) 报文头信息传输； f) umac_pl_trdy反压；	A	GPU 芯粒传输报文数据给通信芯粒
AXI报文读操作	a) 通信芯粒发送长度60B~301B报文，GPU die通过AXI接口接收； b) AXI接收报文支持递增、递减、随机报文； c) 支持AXI接口反压； d) 支持报文接收过程中，存在无效IDLE； e) 报文头信息传输； f) umac_flit_cancel重传支持。	A	通信芯粒传输报文数据给GPU die

### 7.2.2 接口分通道测试

接口分通道测试见表3:

表 3 接口分通道测试项

测试项	测试描述	类型	对接模式
AXI接口Request操作	a) AW通道: 包括AWVALID、AWREADY、AWID、AWLEN、AWUSER、AWCACHE、AWADDR; b) W通道: 包括WVALID、WREADY、WSTRB、WLAT、WPOISON、WDATA; c) AR通道: 包括ARVALID、ARREADY、ARID、ARLEN、ARUSER、ARCACHE、ARADDR;	A	AXI接口传输报文数据给umac_tx
AXI接口Response操作	a) B通道: 包括BVALID、BREADY、BID、BRESP、BUSER; b) R通道: 包括RVALID、RREADY、RLAST、RUSER、RRESP、RID、RDATA;	B	AXI接口从umac_rx获取传输报文数据

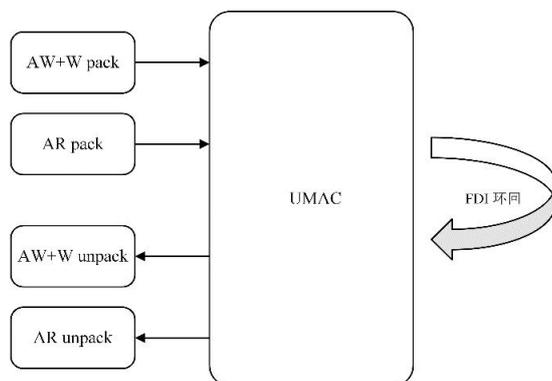


图 4 AXI 请求通道接口测试

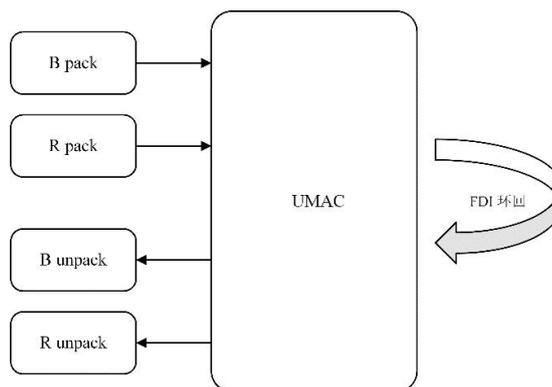


图 5 AXI 应答通道接口测试

UMAC AXI 接口测试, 经 FDI 环回测试, AW+W、AR、B、R 等通道发送和接收两方向, 信息以及数据测试, 如图 4 和图 5 所示, 各通道信息及数据的测试参数见表 3。

AXI 共有五个传输通道, 其中两个通道用来读, 三个通道用来写。每个通道都有流控信号, 发送数据端设置有效位, 接收数据端设置就绪位, 读数据和写数据通道都包括一个 LAST 信号, 用来指明一个

事务传输的最后一个数据。

AXI 写通道有三个，传输写地址的通道、传输写数据的通道、传输 Response 的通道。如下图 6 所示：

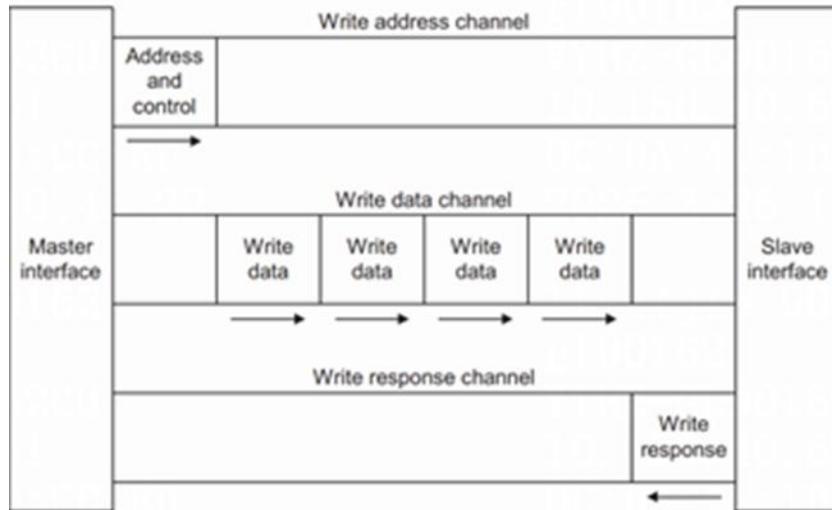


图 6 AXI 写通道

AXI 读通道有两个，一个用来传输读地址与控制信号、另一个用来传输读的数据和 Response 信号。如下图 7 所示：

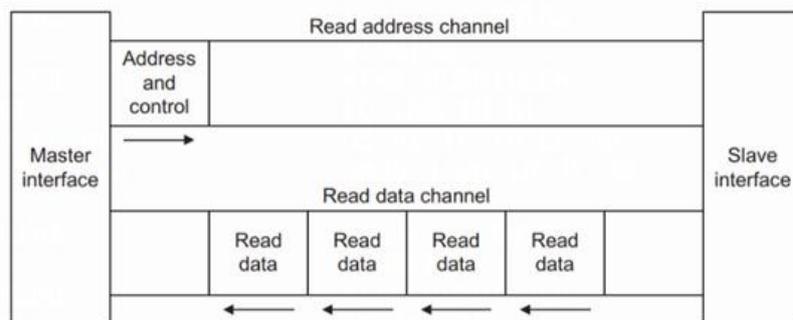


图 7 AXI 读通道

AXI 分通道测试下，需要测试各通道下所有信号无误，正确传输数据。如上述的读数据和写数据通道的 LAST 信号，如果对应测试错误（如缺少 LAST），则表明传输数据过程出错。

AXI 协议定义了三种 burst 读写类型：FIXED 式的突发读写、INCR 式的突发读写和 WRAP 式的突发读写，在 AXI 的接口中，用 AWBURST 或者 ARBURST 来选择突发式读写的类型。

1) FIXED 突发读写是指地址是固定的，每一次传输的地址都不变。这样的突发式读写会重复的对

一个相同的位置进行存取，例如 FIFO。

- 2) INCR 突发读写是指每一次读写的地址都比上一次的地址增加一个固定的值。
- 3) WRAP 突发读写跟 INCR 突发读写类似。WRAP 突发读写的地址是包数据的低地址当到达一个包边界时再进行一个回环，和 AHB 总线的 WRAP 传输一致。WRAP 传输有两个限制：①起始地址必须以传输的大小对齐；②突发式读写的长度必须是 2、4、8 或者 16。

较常用的是 INCR 式的突发读写。本文件所述测试便是采用 INCR 式。INCR 式突发读写是指每一次读写的地址都比上一次的地址增加一个固定的值。

AXI VIP 的使用要求：

通过集成 AXI VIP，使用 VIP 产生激励，通过 AXI 接口传输信息及数据，可通过继承 VIP 内置序列，并通过输入参数信息（如 AWID、AWLEN、AWUSER、AWADDR、WLAT、WDATA），生成自己所需要的场景数据格式，并通过不同场景需要、读写操作，进行测试。发送端发送的通道信息数据需要和接收端的通道信息数据测试完全一致，确保通道传输无误。

### 7.2.3 本端寄存器读写测试

APB 接口读写本端 UMAC AXI 寄存器，测试项见表 4：

表 4 本端寄存器读写测试项

测试项	测试描述	类型	对接模式
寄存器读写操作	a) 本端寄存器进行读写扫描测试； b) 本端寄存器默认值扫描测试； c) 空洞地址、超范围地址扫描测试；	A	本端寄存器扫描
业务流统计寄存器测试	a) GPU die、通信芯粒报文流对打，传输结束后，报文 SOP、EOP、Flit 统计寄存器进行统计测试； b) GPU die、通信芯粒报文流对打，传输过程中，报文 SOP、EOP、Flit 统计寄存器进行统计测试；	B	业务流统计
中断测试	a) 非致命中断：统计流计数溢出，single ECC； b) 致命中断：double ECC、OVF、报文缺失； c) 中断清除测试； d) mask 功能测试；	A	业务流统计
SRAM ECC 测试	a) 单 bit 注错； b) 多 bit 注错； c) 清除中断测试； d) mask 功能测试；	B	存储模块检查

### 7.2.4 分通道反压测试

UMAC AXI 协议层对该信号进行透传，通过检测周期、信号变化综合控制，测试项见表 5：

表 5 分通道反压测试项

测试项	测试描述	类型	对接模式
分通道信号传输测试	a) Request 通道反压信号透传测试； b) Response 通道反压信号透传测试；	A	协议层透传测试
检测周期测试	a) 寄存器配置监测周期大小，Request、Response 透传测试； b) 周期边界测试；	B	检测周期

### 7.2.5 流量整形模块测试

UMAC AXI 的流量整形模块控制分配的最大物理带宽, 测试项见表 6:

表 6 流量整形测试项

测试项	测试描述	类型	对接模式
AXI入口流量测试	a) 报文间不插无效数据; b) 流量参数默认值; c) 56~297B报文;	A	入口流量
FDI接口出口流量测试	a) AXI报文间不插无效数据; b) 流量参数默认值; c) 56~297B报文;	A	出口流量
静态流量变化测试	a) AXI入口流量大于整形值; b) 流量参数调整后不变; c) 56~297B报文;	B	静态流量
动态流量变化测试	a) AXI-Stream入口流量大于整形值; b) 报文发送过程中, 流量参数调整变化; c) 56~297B报文;	C	动态流量

### 7.2.6 访问通信芯粒寄存器测试

如图 8 所示, APB 访问间接寄存器, 通过 FDI 接口将数据流传输给 PHY, 对端 UMAC 解析 FDI 数据流, 转换成 CFGB 下发读写通信芯粒寄存器读写指令, 反馈信息从通信芯粒传输给 GPU die, 通过 APB 访问间接寄存器获取。

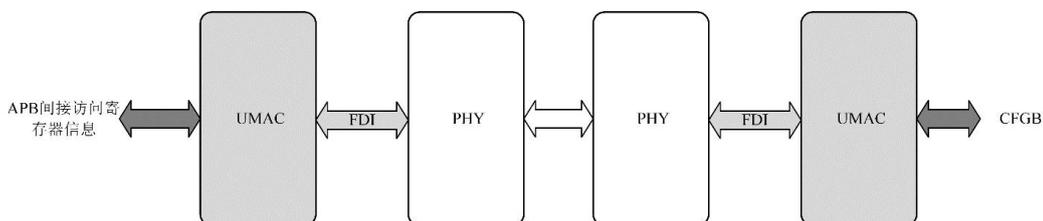


图 8 访问通信芯粒寄存器流程

访问通信芯粒寄存器测试项, 见表 7:

表 7 访问通信芯粒寄存器测试项

测试项	测试描述	类型	对接模式
CFGB访问测试	a) APB访问跨芯粒传输间接寄存器; b) 寄存器地址选择CFGB; c) CFGB有效范围地址默认值扫描, 读写扫描; d) 跨芯粒一次访问多个寄存器; e) 一次访问包含多次读写;	B	跨芯粒寄存器访问
各模块中断检查	a) 访问通信芯粒各个模块中断信息及状态; b) 清除中断; c) mask部分中断信息;	A	检测通信芯粒工作状态
各模块统计寄存器检查	a) AXI数据流、通信芯粒报文流传输; b) 读清寄存器统计值保存;	B	检查通信芯粒业务流统计计数器状态

### 7.3 AXI-Stream 测试

## 7.3.1 报文读写测试

AXI-Stream 接口报文读写测试项，见表 8：

表 8 AXI-Stream 报文读写测试项

测试项	测试描述	类型	对接模式
AXI-Stream报文 写操作	a) GPU die通过AXI-Stream接口，发送长度56B~297B 报文； b) AXI-Stream发送报文支持递增、递减、随机报文； c) 支持AXI-Stream接口反压； d) 支持报文传输过程中，存在无效IDLE； e) 报文头信息传输； f) umac_pl_trdy反压；	A	GPU die传输报文数 据给通信芯粒
AXI-Stream报文 读操作	a) 通信芯粒发送长度60B~301B报文，GPU die通过 AXI-Stream接口接收； b) AXI-Stream接收报文支持递增、递减、随机报文； c) 支持AXI-Stream接口反压； d) 支持报文接收过程中，存在无效IDLE； e) 报文头信息传输； f) umac_flit_cancel重传支持；	A	通信芯粒传输报文数 据给GPU die

## 7.3.2 本端寄存器读写测试

APB 接口读写本端 UMAC Stream 寄存器，测试项见表 9：

表9 AXI-Stream 报文读写测试项

测试项	测试描述	类型	对接模式
APB读写操作	a) 本端寄存器进行读写扫描测试; b) 本端寄存器默认值扫描测试; c) 空洞地址、超范围地址扫描测试;	A	本端寄存器扫描
业务流统计寄存器测试	a) GPU die、通信芯粒报文流对打, 传输结束后, 报文、Flit 统计寄存器进行统计测试; b) GPU die、通信芯粒报文流对打, 传输过程中, 报文、Flit 统计寄存器进行统计测试;	B	业务流统计
中断测试	a) 非致命中断: 统计流计数溢出, single ECC; b) 致命中断: double ECC、OVF、报文缺失; c) 中断清除测试; d) mask功能测试;	A	业务流统计
SRAM ECC测试	a) 单bit注错; b) 多bit注错; c) 清除中断测试; d) mask功能测试;	B	存储模块检查

## 7.3.3 分通道反压测试

UMAC STREAM 协议层对该信号进行透传, 通过检测周期、信号变化综合控制, 测试项见表 10:

表10 AXI-Stream 分通道反压测试项

测试项	测试描述	类型	对接模式
分通道信号传输测试	a) Request通道反压信号透传测试; b) Response通道反压信号透传测试;	A	协议层透传测试
检测周期测试	a) 寄存器配置监测周期大小, Request、Response 透传测试; b) 周期边界测试;	B	检测周期

## 7.3.4 流量整形模块测试

UMAC STREAM 的流量整形模块控制分配的最大物理带宽, 测试项见表 11:

表11 AXI-Stream 流量整形测试项

测试项	测试描述	类型	对接模式
AXI-Stream入口流量测试	a) 报文间不插无效数据; b) 流量参数默认值; c) 56~297B报文;	A	入口流量
FDI接口出口流量测试	a) AXI-Stream报文间不插无效数据; b) 流量参数默认值; c) 56~297B报文;	A	出口流量
静态流量变化测试	a) AXI-Stream入口流量大于SHAPING值; b) 流量参数调整后不变; c) 56~297B报文;	B	静态流量
动态流量变化测试	a) AXI-Stream入口流量大于SHAPING值; b) 报文发送过程中, 流量参数调整变化; c) 56~297B报文;	C	动态流量

## 7.3.5 环回测试

FDI 环回测试总体逻辑如图 9 所示：

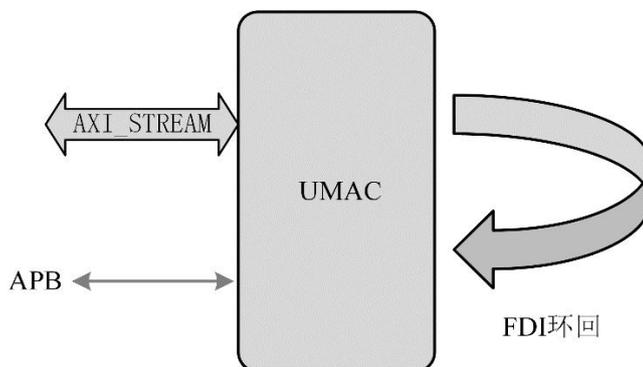


图 9 FDI 环回

### 7.3.6 访问通信芯粒寄存器测试

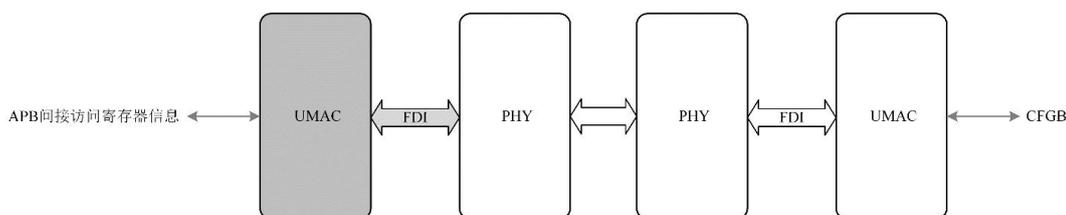


图 10 访问通信芯粒寄存器流程

如图 10 所示，APB 访问间接寄存器，通过 FDI 接口将数据流传输给 PHY，对端 UMAC 解析 FDI 数据流，转换成 CFGB 下发读写通信芯粒寄存器读写指令，反馈信息从通信芯粒传输给 GPU die，通过 APB 访问间接寄存器获取，测试项见表 12：

表 12 AXI-Stream 访问通信芯粒寄存器测试项

测试项	测试描述	类型	对接模式
CFGB访问测试	a) APB访问跨芯粒传输间接寄存器； b) 寄存器地址选择CFGB； c) CFGB有效范围地址默认值扫描，读写扫描； d) 跨芯粒一次访问多个寄存器； e) 一次访问包含多次读写；	B	跨芯粒寄存器访问
各模块中断检查	a) 访问通信芯粒各个模块中断信息及状态； b) 清除中断； c) mask部分中断信息；	A	检测通信芯粒工作状态
各模块统计寄存器检查	a) AXI-Stream数据流、通信芯粒报文流传输； b) 读清寄存器统计值保存；	B	检查通信芯粒业务流统计计数器状态

## 8 链路层测试

## 8.1 概述

数据链路层测试指：基于本文件第7章定义的协议层测试项，改变不同的数据链路层参数，对数据链路层不同组帧方式是否满足《人工智能芯片 面向芯粒的卡间互联接口技术要求》中第7.2章节的定义。本章对不同的测试场景下数据链路层应满足的参数配置范围进行定义。

## 8.2 Streaming 协议测试

Streaming 协议测试。测试时需将两端配置为相同 Flit 格式，测试项见表 13：

表 13 Streaming 协议测试项

测试项	测试描述	对接模式
Streaming 协议测试	a) 配置两端正常对接与启动； b) 操作两端 FDI 接口发送 Streaming 协议对应的 Flit 格式数据； c) 验证本端发送数据，对端接收数据的正确性； d) 验证对端发送数据，本端接收数据的正确性；	VIP+IP 或 IP+IP

## 8.3 CRC 重试和重传功能测试

无论 IP 或是 VIP 均需支持 CRC 注错功能，测试项见表 14：

表 14 CRC 和重传测试项

测试项	测试描述	对接模式
CRC 相关测试	a) 配置本端 CRC 相关寄存器，对本端发送的数据进行 CRC 注错； b) 配置两端正常对接与启动； c) 操作两端 FDI 接口发送 Streaming 协议对应的 Flit 格式数据； d) 验证本端发送数据，对端接收数据的正确性； e) 验证对端发送数据，本端接收数据的正确性；	VIP+IP 或 IP+IP

## 8.4 链路状态管理测试

本测试主要测试在不同链路状态是否可以正确进行跳转，测试项见表 15：

表 15 链路状态管理测试项

测试项	测试描述	对接模式
Active->Retrain->Active	a) 配置两端在 RAW 模式正常对接与启动； b) 配置任意一端 FDI 状态 Request 接口为 Retrain 状态； c) 链路成功 Retrain 后，配置两端 FDI 状态 Request 接口为 Active 状态； d) 验证本端发送数据，对端接收数据的正确性； e) 验证对端发送数据，本端接收数据的正确性；	VIP+IP 或 IP+IP
Active->LinkError->Reset->Active	a) 配置两端正常对接与启动； b) 配置任意一端 FDI 状态 Request 接口为 LinkError 状态； c) 链路成功 LinkError 后，配置两端 FDI 状态 Request 接口为 Reset 状态； d) 链路成功 Reset 后，配置两端 FDI 状态 Request 接口	VIP+IP 或 IP+IP

	为 Active 状态； e) 验证本端发送数据，对端接收数据的正确性； f) 验证对端发送数据，本端接收数据的正确性；	
Active->LinkReset->Reset->Active	a) 配置两端正常对接与启动； b) 配置任意一端 FDI 状态 Request 接口为 LinkReset 状态； c) 链路成功 LinkReset 后，配置两端 FDI 状态 Request 接口为 Reset 状态； d) 链路成功 Reset 后，配置两端 FDI 状态 Request 接口为 Active 状态； e) 验证本端发送数据，对端接收数据的正确性； f) 验证对端发送数据，本端接收数据的正确性；	VIP+IP 或 IP+IP
Active->Disabled->Reset->Active	a) 配置两端正常对接与启动； b) 配置任意一端 FDI 状态 Request 接口为 Disabled 状态； c) 链路成功 Disabled 后，配置两端 FDI 状态 Request 接口为 Reset 状态； d) 链路成功 Reset 后，配置两端 FDI 状态 Request 接口为 Active 状态； e) 验证本端发送数据，对端接收数据的正确性； f) 验证对端发送数据，本端接收数据的正确性；	VIP+IP 或 IP+IP
Active->L2->Reset->Active	a) 配置两端正常对接与启动； b) 配置任意一端 FDI 状态 Request 接口为 L2 状态； c) 链路成功 L2 后，配置两端 FDI 状态 Request 接口为 Reset 状态； d) 链路成功 Reset 后，配置两端 FDI 状态 Request 接口为 Active 状态； e) 验证本端发送数据，对端接收数据的正确性； f) 验证对端发送数据，本端接收数据的正确性；	VIP+IP 或 IP+IP
Active->L1->Retrain->Active	a) 配置两端正常对接与启动； b) 配置任意一端 FDI 状态 Request 接口为 L1 状态； c) 链路成功 L1 后，配置两端 FDI 状态 Request 接口为 Active 状态； d) 验证本端发送数据，对端接收数据的正确性； f) 验证对端发送数据，本端接收数据的正确性；	VIP+IP 或 IP+IP

### 8.5 Parity 校验功能测试

支持在进行数据传输时插入 Parity 校验位以进行链路健康状态进行检测。注意 Parity 测试不会影响正常通路，被测电路在进行 Parity 校验位插入时会反压上层协议层，测试项见表 16：

表 16 Parity 校验功能测试项

测试项	测试描述	对接模式
Parity 功能测试	a) 配置两端寄存器以使能 Parity 功能； b) 配置两端寄存器确定 Parity 校验位插入频率； c) 配置两端正常对接与启动； d) 验证本端发送数据，对端接收数据的正确性； e) 验证对端发送数据，本端接收数据的正确性；	VIP+IP 或 IP+IP

## 8.6 边带寄存器访问测试

支持通过 FDI 边带接口进行本端以及对端寄存器访问。访问不同地址位段的寄存器需要发送不同消息类型的请求。访问对端寄存器需通过本端的邮箱相关寄存器来实现。测试时，返回的消息状态必须为 000b 代表” Successful Completion”，测试项见表 17：

表 17 边带寄存器访问测试项

测试项	测试描述	对接模式
边带寄存器访问功能测试	a) 配置两端正常对接与启动； b) 操作两端 FDI 接口发起近端寄存器边带访问请求； c) 对于访问链路层的请求，链路层在 FDI 接口回复边带完成信号； d) 对于访问 PHY 的请求，链路层将边带访问请求发送至 RDI 接口，待 PHY 在 RDI 接口回复边带完成信号后，链路层在 FDI 接口回复边带完成信号；	VIP+IP 或 IP+IP
边带邮箱访问功能测试	a) 配置两端正常对接与启动； b) 操作两端 FDI 接口配置邮箱寄存器，触发邮箱访问请求； e) 轮询邮箱触发寄存器，当其值变为预期值时，表明当前邮箱访问完成，可发起下一次邮箱访问事务；	VIP+IP 或 IP+IP

## 8.7 数据速率测试

本测试主要为测试不同链路目标速度下可以正常进行数据传输，测试项见表 18：

表 18 数据速率测试项

测试项	测试描述	对接模式
4GT/s 数据速率	a) 配置目标速率为 4GT/s； b) 配置两端正常对接与启动； c) 验证本端发送数据，对端接收数据的正确性； d) 验证对端发送数据，本端接收数据的正确性；	VIP+IP 或 IP+IP
8GT/s 数据速率	a) 配置目标速率为 8GT/s； b) 配置两端正常对接与启动； c) 验证本端发送数据，对端接收数据的正确性； e) 验证对端发送数据，本端接收数据的正确性；	VIP+IP 或 IP+IP
12GT/s 数据速率	a) 配置目标速率为 12GT/s； b) 配置两端正常对接与启动； c) 验证本端发送数据，对端接收数据的正确性； d) 验证对端发送数据，本端接收数据的正确性；	VIP+IP 或 IP+IP
16GT/s 数据速率	a) 配置目标速率为 16GT/s； b) 配置两端正常对接与启动； c) 验证本端发送数据，对端接收数据的正确性； d) 验证对端发送数据，本端接收数据的正确性；	VIP+IP 或 IP+IP
24GT/s 数据速率	a) 配置目标速率为 24GT/s； b) 配置两端正常对接与启动； c) 验证本端发送数据，对端接收数据的正确性； d) 验证对端发送数据，本端接收数据的正确性；	VIP+IP 或 IP+IP
32GT/s 数据速率	a) 配置目标速率为 32GT/s； b) 配置两端正常对接与启动；	VIP+IP 或 IP+IP

	c) 验证本端发送数据，对端接收数据的正确性； d) 验证对端发送数据，本端接收数据的正确性；	
--	--	--

## 8.8 支持链路层环回测试

链路层环回测试支持 RDI 和 FDI 两个环回点测试。测试时选择一个环回点并配置相应寄存器。链路层会自动发送规定的 Pattern 给对端，在数据到达换回点后环回到本端，本端链路层会自动进行数据对比。读取相应寄存器即可知道数据对比是否无误。具体测试项见表 19：

表 19 数据速率测试项

测试项	测试描述	对接模式
链路层RDI环回	a) 配置为链路层 RDI 环回测试模式； b) 配置两端正常对接与启动； c) 读取本端寄存器检查是否有环回数据错误；	IP+IP
链路层FDI环回	a) 配置为链路层 FDI 环回测试模式； b) 配置两端正常对接与启动； d) 读取本端寄存器检查是否有环回数据错误；	IP+IP

链路层 FDI 环回测试同时也涉及硅后合封跨芯粒验证，在测试平台配置 FDI 环回验证跨芯粒收发通路，测试项见表 20：

表 20 硅后环回测试项

测试项	测试描述	模式
硅后跨芯粒 FDI 环回测试	a) 配置通信芯粒一端 PHY 为 FDI 环回测试模式； b) 主 Die 发送 PRBS 码流验证跨芯粒环回收发正常；	合封芯片环回验证

## 9 物理层测试

### 9.1 概述

本章节对先进封装和标准封装的物理层通道互通测试进行说明，验证是否满足《人工智能芯片面向芯粒的卡间互联接口技术要求》中第7.3 章节的定义。

### 9.2 先进封装以及标准封装测试

本测试针对不同封装进行测试，保证遵守相关相对应的先进封装或标准封装进行建链以及数据传输，测试项见表 21：

表 21 封装测试项

测试项	测试描述	对接模式
先进封装测试	a) 配置两端为先进封装 64 lane； b) 配置两端正常对接与启动； c) 验证本端发送数据，对端接收数据的正确性； d) 验证对端发送数据，本端接收数据的正确性；	VIP+IP 或 IP+IP
标准封装测试	e) 配置两端为标准封装 16 lane； f) 配置两端正常对接与启动；	VIP+IP 或 IP+IP

	g) 验证本端发送数据，对端接收数据的正确性； h) 验证对端发送数据，本端接收数据的正确性；	
--	--	--

### 9.3 通道反转测试

本测试针对通道反转测试，测试项见表 22：

表 22 通道反转测试项

测试项	测试描述	对接模式
通道反转测试	a) 配置两端正常对接与启动； b) 在主带反转过程中发生通道反转； c) 完成链路初始化，两端均进入 Active 状态； d) 验证本端发送数据，对端接收数据的正确性； e) 验证对端发送数据，本端接收数据的正确性；	VIP+IP 或 IP+IP

### 9.4 数据接口降级测试(修复测试)

其中先进封装，有 64Lane, 如果使用降级的话，可以用作 32Lane, 或者 16Lane; 比如用作 16Lane 的时候，有 1 个 Lane 坏掉的情况下，会启用修复功能(repair)，用冗余的 lane 替换掉坏的 Lane，达到修复的目的。

本测试主要为测试链路初始化过程中能否正确触发数据接口降级，测试项见表 23：

表 23 数据接口降级测试项

测试项	测试描述	对接模式
PHY初始化数据接口降级测试	a) 配置两端正常对接与启动； b) 在主带修复过程中触发数据接口降级； c) 完成链路初始化，两边均进入 Active 状态； d) 验证本端发送数据，对端接收数据的正确性； e) 验证对端发送数据，本端接收数据的正确性；	VIP+IP 或 IP+IP

### 9.5 PHY 环回测试

PHY 环回测试时配置相应寄存器后，本端 PHY 会自动发送规定的 Pattern 给对端，在数据到达对端 PHY 环回点后环回到本端，本端 PHY 会自动进行数据对比，测试项见表 24：

表 24 PHY 环回测试项

测试项	测试描述	对接模式
PHY环回测试	a) 配置为 PHY 环回测试模式； b) 读取本端寄存器检查是否有环回数据错误；	IP+IP

PHY 环回测试同时也涉及硅后的 PHY 通路验证，在测试平台配置 PHY 环回验证 PHY 收发通路，测试项见表 25：

表 25 硅后 PHY 环回测试项

测试项	测试描述	模式
硅后PHY环回测试	a) 配置为 PHY 环回测试模式；	单芯粒 PHY

	b) 发送 PRBS 码流验证环回收发正常;	环回
--	------------------------	----

## 10 性能测试

### 10.1 概述

本文针对两卡直连方式进行测试，如图11，包括带宽测试、时延测试和应用测试。



图 11 性能测试拓扑

### 10.2 带宽测试

提供3种带宽测试命令，对应不同的传输类型，见表26：

表 26 带宽测试命令

命令	传输类型	说明
write_bw	远程写 (Write)	客户端直接写入远程内存，无需服务器 CPU 参与
read_bw	远程读 (Read)	客户端直接读取远程内存，无需服务器 CPU 参与

测试步骤：

基础测试流程（以write\_bw为例）：

a) 服务器端启动被动模式

在服务器 A（如 IP：192.168.1.10）上运行命令，等待客户端连接：

```
write_bw # 默认监听所有端口，使用默认传输类型（RC：可靠连接）
```

b) 客户端发起测试

在客户端 B 上运行命令，指定服务器 IP 和测试参数：

```
write_bw 192.168.1.10 -s 1024 -t 60 -n 4
```

参数说明：

-s <size>：消息大小（单位：字节，如 64、1024、4096、1048576 即 1MB）。

-t <time>：测试持续时间（单位：秒，建议≥30 秒以稳定结果）。

-n <threads>：测试线程数（多线程可利用多队列提升带宽）。

-d <device>：指定网卡设备。

### 10.3 时延测试

提供3种时延测试命令，对应不同的传输类型，见表27：

表 27 带宽测试命令

命令	传输类型	说明
write_lat	远程写 (Write)	客户端直接写入远程内存，无需远程 CPU 参与
read_lat	远程读 (Read)	客户端直接读取远程内存，无需远程 CPU 参与

基础测试流程（以send\_lat为例）：

a) 服务器端启动被动监听

在服务器 A（如 IP：192.168.1.10）上运行命令，等待客户端连接：

```
send_lat # 默认使用RC（可靠连接）传输，监听所有端口
```

b) 客户端发起时延测试

在客户端 B 上运行命令，指定服务器 IP 和测试参数：

```
bash
```

```
send_lat 192.168.1.10 -s 64 -n 100000 -t 0
```

参数说明：

-s <size>：消息大小（单位：字节，核心测试 64B、128B、256B、1KB、4KB 等小消息）。

-n <num>：测试迭代次数（建议 $\geq 10$  万次，减少偶然波动影响）。

-t <time>：测试持续时间（单位：秒，0 表示按-n指定的次数运行）。

-d <device>：指定网卡设备（如mlx5\_0，通过ibv\_devices查看）。

-c <type>：指定传输类型（RC可靠连接 /UC不可靠连接 /UD不可靠数据报，默认 RC）。

#### 10.4 集合通信测试

集合通信（Collective Communication）是指多个节点（ $\geq 2$  个）通过协作完成的群体通信模式（如广播、汇聚、全交换等），广泛应用于高性能计算（HPC）、分布式机器学习等场景，其性能直接影响大规模并行任务的效率。执行集合通信操作具体见表28：

表 28 集合通信操作

集合通信操作	说明	典型应用场景
广播（Broadcast）	从根节点向所有其他节点发送相同数据	参数分发、初始化数据同步
全汇聚（Allgather）	每个节点发送数据到所有节点，汇总成完整数据集	全局状态收集（如梯度聚合）
全交换（Alltoall）	每个节点向其他所有节点发送指定数据	矩阵转置、分布式数据重分配
归约（Reduce）	所有节点数据按算子（求和 / 最大值等）合并到根节点	全局结果计算（如求和、求平均）
全归约（Allreduce）	归约后结果同步到所有节点	分布式训练中梯度同步（如 AllReduce）

数据使用建议：

- 数据量规模支持单个 token 数据量几 KB 到多个 token 数据量数百 KB，大块数据搬移建议（1024MB、512MB、256MB），进行各通信操作的带宽测试，此外，可自定义规模，但应注明规模信息；
- 在各数据量规模下，记录各规模中最高的带宽；建议记录数据搬移甜点的时数据大小。

参 考 文 献

---